

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053260  
(43)Date of publication of application : 23.02.2001

(51)Int.Cl. H01L 27/146  
H04N 5/335

(21)Application number : 11-222692  
(22)Date of filing : 05.08.1999

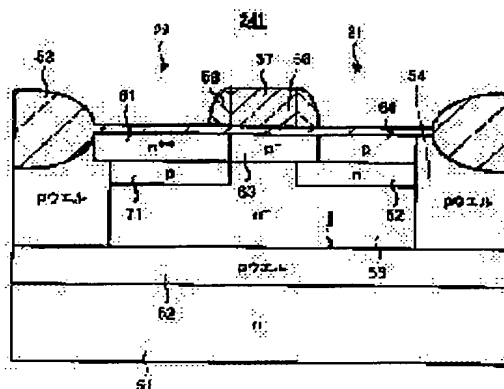
(71)Applicant : SONY CORP  
(72)Inventor : MABUCHI KEIJI  
SUMI HIROBUMI  
SUZUKI RYOJI  
UENO TAKAHISA

## (54) SOLID-STATE IMAGE PICKUP ELEMENT AND MANUFACTURE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To enable enhancement of the sensitivity of a MOS solid-state image pickup element, complete transfer of the element at a low voltage and the like.

SOLUTION: A solid-state image pickup element, formed by arraying pixels having a P-N junction sensor part 21 and at least a transistor 22 for readout is constituted into a structure, where a second conductivity charge storage region 62 constituting the sensor part 21 and a second conductivity source and drain regions 61 of the transistor 22 are formed in the side of the surface of a second conductivity semiconductor region 55, which is encircled by a first conductivity semiconductor well region 52 provided on the position of a prescribed depth from the surface of a substrate and a second first conductivity semiconductor well region 54 under an element isolating layer 53, holding a gate 57 of the transistor 22 between them and a first conductivity semiconductor region 71 is formed under the regions 61 (or under the source-drain regions, under the gate and under the region 62).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-53260

(P2001-53260A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)IntCl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\*(参考)

H 0 1 L 27/146

H 0 1 L 27/14

A 4 M 1 1 8

H 0 4 N 5/335

H 0 4 N 5/335

F 5 C 0 2 4

U

審査請求 未請求 請求項の数9 OL (全 12 頁)

(21)出願番号 特願平11-222692

(22)出願日 平成11年8月5日(1999.8.5)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 馬淵 圭司

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 角 博文

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100080883

弁理士 松隈 秀盛

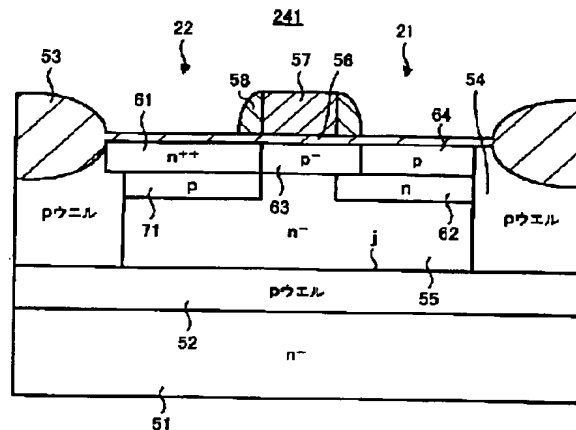
最終頁に続く

(54)【発明の名称】 固体撮像素子及びその製造方法

(57)【要約】

【課題】 MOS型の固体撮像素子における感度の向上、低電圧での完全転送等を可能にする。

【解決手段】 p n接合型のセンサ部21と少なくとも読み出し用トランジスタ22を有する画素が配列される固体撮像素子であって、所定深さ位置の第1の第1導電型半導体ウェル領域52と素子分離層53下の第2の第1導電型半導体ウェル領域54とにて囲まれた第2導電型半導体領域55の表面側に読み出し用トランジスタ22のゲート57を挟んでセンサ部21を構成する第2導電型の電荷蓄積領域62と、読み出し用トランジスタ22の第2導電型のソース・ドレイン領域61とが形成され、ソース・ドレイン領域61下に(あるいは、ソース・ドレイン領域下、ゲート下及び電荷蓄積領域下に)、第1導電型半導体領域71が形成されて成る。



## 【特許請求の範囲】

【請求項 1】 p n 接合型のセンサ部と少なくとも読み出し用トランジスタを有する画素が配列されてなる固体撮像素子であって、所定深さ位置の第 1 の第 1 導電型半導体ウエル領域と、素子分離層下の第 2 の第 1 導電型半導体ウエル領域とにて囲まれた第 2 導電型半導体領域の表面側に、前記読み出し用トランジスタのゲートを挟んで前記センサ部を構成する第 2 導電型の電荷蓄積領域と、前記読み出し用トランジスタの第 2 導電型のソース・ドレイン領域とが形成され、

前記電荷蓄積領域、前記ゲート下及び前記ソース・ドレイン領域と、前記第 2 導電型半導体領域との間に第 1 導電型半導体領域が形成されて成ることを特徴とする固体撮像素子。

【請求項 2】 前記第 2 導電型の電荷蓄積領域の表面に第 1 導電型半導体領域が形成されて成ることを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】 p n 接合型のセンサ部と少なくとも読み出し用トランジスタを有する画素が配列されてなる固体撮像素子であって、所定深さ位置の第 1 の第 1 導電型半導体ウエル領域と、素子分離層下の第 2 の第 1 導電型半導体ウエル領域とにて囲まれた第 2 導電型半導体領域の表面側に、前記読み出し用トランジスタのゲートを挟んで前記センサ部を構成する第 2 導電型の電荷蓄積領域と、前記読み出し用トランジスタの第 2 導電型のソース・ドレイン領域とが形成され、前記ソース・ドレイン領域下に第 1 導電型半導体領域が形成されて成ることを特徴とする固体撮像素子。

【請求項 4】 前記第 2 導電型の電荷蓄積領域の表面に第 1 導電型半導体領域が形成されて成ることを特徴とする請求項 3 に記載の固体撮像素子。

【請求項 5】 p n 接合型のセンサ部と少なくとも読み出し用トランジスタを有する画素が配列されてなる固体撮像素子であって、所定深さ位置の第 1 の第 1 導電型半導体ウエル領域と、素子分離層下の第 2 の第 1 導電型半導体ウエル領域とにて囲まれた第 2 導電型半導体領域の表面側に、前記読み出し用トランジスタのゲートを挟んで前記センサ部を構成する第 2 導電型の電荷蓄積領域と、前記読み出し用トランジスタの第 2 導電型のソース・ドレイン領域とが形成され、前記ゲート下に第 1 導電型半導体領域が形成されて成ることを特徴とする固体撮像素子。

【請求項 6】 前記第 2 導電型の電荷蓄積領域の表面に第 1 導電型半導体領域が形成されて成ることを特徴とする請求項 5 に記載の固体撮像素子。

【請求項 7】 前記読み出し用トランジスタのソース・ドレイン領域下に第 1 導電型半導体領域が形成されて成

ることを特徴とする請求項 5 に記載の固体撮像素子。

【請求項 8】 第 2 導電型の半導体基板の表面に絶縁層による素子分離層を形成する工程と、前記半導体基板内の所定深さ位置に第 1 の第 1 導電型半導体ウエル領域を形成し、前記素子分離層下に該第 1 の第 1 導電型半導体ウエル領域に達するように、第 2 の第 1 導電型半導体ウエル領域を形成し、前記第 1 及び第 2 の第 1 導電型半導体ウエル領域にて囲まれた第 2 導電型半導体領域内の所定深さ位置に第 1 導電型半導体領域を形成する工程と、

ゲート電極を挟んで前記第 1 導電型半導体領域に達するように、第 2 導電型のソース・ドレイン領域とセンサ部を構成する第 2 導電型の電荷蓄積領域を形成する工程を有することを特徴とする固体撮像素子の製造方法。

【請求項 9】 第 2 導電型の半導体基板の表面に絶縁層による素子分離層を形成する工程と、前記半導体基板内の所定深さ位置に第 1 の第 1 導電型半導体ウエル領域を形成し、前記素子分離層下に該第 1 の第 1 導電型半導体ウエル領域に達するように、第 2 の第 1 導電型半導体ウエル領域を形成し、前記第 1 及び第 2 の第 1 導電型半導体ウエル領域にて囲まれた第 2 導電型半導体領域の表面全面に第 1 導電型半導体領域を形成する工程と、

ゲート電極を挟んで一方の領域に第 2 導電型のソース・ドレイン領域及び該ソース・ドレイン領域下の第 1 導電型半導体領域を形成すると共に、他方の領域にセンサ部を構成する第 2 導電型の電荷蓄積領域を形成する工程を有することを特徴とする固体撮像素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、固体撮像素子、特に MOS 型の固体撮像素子及びその製造方法に関する。

## 【0002】

【従来の技術】固体撮像素子として、各単位画素がフォトダイオードによるセンサ部とスイッチング素子を有して構成され、光電変換によりセンサ部に蓄積された信号電荷を読み出して、これを電圧又は電流に変換して出力する、いわゆる MOS 型の固体撮像素子が知られている。この MOS 型の固体撮像素子は、例えば画素の選択を行うスイッチング素子や、信号電荷を読み出すスイッチング素子等に、MOS トランジスタが用いられている。また、水平走査回路、垂直走査回路等の周辺回路に MOS トランジスタが用いられ、スイッチング素子と一連の構成で製造を行うことができる利点を有している。

【0003】従来、センサ部に p n 接合のフォトダイオードを用いた MOS 型の固体撮像素子においては、その各画素が選択酸化による素子分離層、いわゆる LOCO S (local oxidation of silicon) 層により XY マトリックス状に画素分離されて形成される。

【0004】図12は、従来のMOS型の固体撮像素子の画素を構成するセンサ部及びスイッチング素子としての読み出し用トランジスタの断面構造を示す。この固体撮像素子1は、例えばn型のシリコン半導体基板2にp型の半導体ウェル領域3を形成した後、選択酸化による素子分離層（LOCOS層）4を形成し、素子分離層4下にp型のチャネルストップ領域5を形成し、次いで、素子分離層4で囲まれた画素領域にゲート絶縁膜6を介して例えば多結晶シリコンによるゲート電極7を形成し、さらにゲート電極7を挟んでp型半導体ウェル領域3の一方の領域にn型半導体領域8を形成してフォトダイオードによるセンサ部9を形成し、他方の領域に読み出し用トランジスタのn型のソース・ドレイン領域10を形成して構成される。

#### 【0005】

【発明が解決しようとする課題】ところで、上述の従来のMOS型の固体撮像素子1において、そのセンサ部（フォトダイオード）9を構成するn型半導体領域8は、読み出し用トランジスタのソース・ドレイン領域10と同じに濃度の高いp型半導体ウェル領域3内にn型不純物イオンを打ち返して形成されるため、濃い濃度で形成せねばならなかった。

【0006】このため、次のような問題点を有していた。（i）完全空乏化させることが難しく、センサ部の信号電荷（電子）を低い電圧で完全転送することができない。（ii）センサ部9のn型半導体領域8の濃度のばらつきが大きく、製造マージンがとれない。（iii）また、センサ部9のn型半導体領域8を浅くしか作れないため、赤色光の感度が低い。

【0007】本発明は、上述の点に鑑み、感度の向上、低い電圧での完全転送、製造のし易さ等を図った固体撮像素子及びその製造方法を提供するものである。

#### 【0008】

【課題を解決するための手段】本発明に係る固体撮像素子は、所定深さ位置の第1の第1導電型半導体ウェル領域と素子分離層下の第2の第1導電型半導体ウェル領域とにて囲まれた第2導電型半導体領域に、読み出し用トランジスタのゲートを挟んでセンサ部の第2導電型の電荷蓄積領域と、読み出し用トランジスタの第2導電型のソース・ドレイン領域とを形成し、上記電荷蓄積領域、ゲート下及びソース・ドレイン領域と、上記第2導電型半導体領域との間に第1導電型半導体領域を形成して構成する。

【0009】本発明に係る固体撮像素子は、所定深さ位置の第1の第1導電型半導体ウェル領域と素子分離層下の第2の第1導電型半導体ウェル領域とにて囲まれた第2導電型半導体領域に、読み出し用トランジスタのゲートを挟んでセンサ部の第2導電型の電荷蓄積領域と、読み出し用トランジスタの第2導電型のソース・ドレイン領域とを形成し、ソース・ドレイン領域下に第1導電型

半導体領域を形成して構成する。

【0010】本発明に係る固体撮像素子は、所定深さ位置の第1の第1導電型半導体ウェル領域と素子分離層下の第2の第1導電型半導体ウェル領域とにて囲まれた第2導電型半導体領域に、読み出し用トランジスタのゲートを挟んでセンサ部の第2導電型の電荷蓄積領域と、読み出し用トランジスタの第2導電型のソース・ドレイン領域とを形成し、ゲート下に第1導電型半導体領域を形成して構成する。

【0011】本発明に係る固体撮像素子によれば、光電変換された一方の電荷は、センサ部の電荷蓄積領域に蓄積される。第1の第1導電型半導体ウェル領域と素子分離層との間に第2の第1導電型半導体ウェル領域が形成され、センサ部において電荷蓄積領域及び第2導電型半導体領域からなる、いわゆる第2導電型領域が形成されるので、この第2導電型領域と第1の第1導電型半導体ウェル領域との間で形成されるpn接合の位置が深くなり、空乏層の広がり深さが大きくなってセンサ部における光電変換効率が増加し、赤色光の感度が上がる。

【0012】そして、第1及び第2の第1導電型半導体ウェル領域にて囲まれた第2導電型半導体領域に、ゲートを挟んで電荷蓄積領域及びソース・ドレイン領域を形成することにより、光がセンサ部、ソース・ドレイン領域下、ゲート下のどこに入射されても、第1の第1導電型半導体ウェル領域の上の第2導電型半導体領域内で光電変換されれば、その一方の電荷はセンサ部の電荷蓄積領域に集められ、感度の向上が図れる。第2導電型半導体領域内にセンサ部の電荷蓄積領域を形成するので、電荷蓄積領域の不純物濃度を薄くすることが可能となり、完全空乏化し易く、低い電圧でセンサ部の信号電荷を完全転送することが可能となる。

【0013】電荷蓄積領域、ゲート下及びソース・ドレイン領域と第2導電型半導体領域間に第1導電型半導体領域を形成した構成では、この第1導電型半導体領域によってゲートが閉じられている状態での電荷蓄積領域とソース・ドレイン領域間のリーク電流が阻止され、読み出し用トランジスタとしての動作が確保できる。この第1導電型半導体領域は、空乏化できる程度の不純物濃度に設定することで、第1導電型半導体領域の下の第2導電型半導体領域で光電変換された電荷を電荷蓄積領域に集めることが可能となる。

【0014】ソース・ドレイン領域下に第1導電型半導体領域を形成した構成では、センサ部の電荷蓄積領域下及びゲート下には第1導電型半導体領域が設けられていない分、第2導電型半導体領域の面積が増し、より感度の向上が図れる。

【0015】また、ソース・ドレイン領域下の第1導電型半導体領域によって、ゲートが閉じられた状態での電荷蓄積領域とソース・ドレイン間のリーク電流が阻止され、読み出し用トランジスタとしての動作が確保でき

10

20

30

40

50

5

る。この場合の第1導電型半導体領域の不純物濃度は、センサ部の空乏化に関係なく設定できる。

【0016】ゲート下に第1導電型半導体領域を形成した構成では、この第1導電型半導体領域によって、ゲートが閉じられているとき、ゲート絶縁膜界面とセンサ部の電荷蓄積領域が分離されるので、ゲート絶縁膜界面で発生する電荷がセンサ部の電荷蓄積領域に入らず、ソース・ドレイン領域側に流入し、暗電流の低減が図れる。

【0017】ゲート下の第1導電型半導体領域により、電荷蓄積領域からソース・ドレイン領域へ電荷が流出しにくく、電荷蓄積領域の飽和電位が低くなり、飽和電荷数が大きくなる。また、ゲート下の第1導電型半導体領域により、電荷蓄積領域とソース・ドレイン領域が分離されるので、ゲート長を短くでき、微細化が可能になる。

【0018】本発明に係る固体撮像素子の製造方法は、第2導電型の半導体基板に絶縁層による素子分離層を形成した後、半導体基板内の所定深さ位置の第1の第1導電型半導体ウエル領域と、素子分離層下の第1の第1導電型半導体ウエル領域に達する第2の第1導電型半導体ウエル領域と、第1及び第2の第1導電型半導体ウエル領域に囲まれた第2導電型半導体領域内の所定深さ位置の第1導電型半導体領域とを形成し、次いで、ゲート電極を挟んで上記第1導電型半導体領域に達する第2導電型のソース・ドレイン領域とセンサ部の第2導電型の電荷蓄積領域を形成する。

【0019】本発明に係る固体撮像素子の製造方法は、第2導電型の半導体基板に絶縁層による素子分離層を形成した後、半導体基板内の所定深さ位置の第1の第1導電型半導体ウエル領域と、素子分離層下の第1の第1導電型半導体ウエル領域に達する第2の第1導電型半導体ウエル領域と、第1及び第2の第1導電型半導体ウエル領域に囲まれた第2導電型半導体領域の表面全面に第1導電型半導体領域とを形成し、次いで、ゲート電極を挟んで一方の領域に第2導電型のソース・ドレイン領域及びソース・ドレイン領域下の第1導電型半導体領域を形成し、他方の領域にセンサ部の第2導電型の電荷蓄積領域を形成する。

【0020】本発明に係る固体撮像素子の製造方法によれば、画素を構成する各領域を自己整合的に形成できる。

【0021】

【発明の実施の形態】本発明に係る固体撮像素子は、pn接合型のセンサ部と少なくとも読み出し用トランジスタを有する画素が配列されてなる固体撮像素子であって、所定深さ位置の第1の第1導電型半導体ウエル領域と素子分離層下の第2の第1導電型半導体ウエル領域とにて囲まれた第2導電型半導体領域の表面側に、読み出し用トランジスタのゲートを挟んでセンサ部を構成する第2導電型の電荷蓄積領域と、読み出し用トランジスタ

6

の第2導電型のソース・ドレイン領域、ゲート下及び電荷蓄積領域と、上記第2導電型半導体領域との間に第1導電型半導体領域が形成された構成とする。

【0022】本発明に係る固体撮像素子は、pn接合型のセンサ部と少なくとも読み出し用トランジスタを有する画素が配列されてなる固体撮像素子であって、所定深さ位置の第1の第1導電型半導体ウエル領域と、素子分離層下の第2の第1導電型半導体ウエル領域とにて囲まれた第2導電型半導体領域の表面側に、読み出し用トランジスタのゲートを挟んでセンサ部を構成する第2導電型の電荷蓄積領域と、読み出し用トランジスタの第2導電型のソース・ドレイン領域とが形成され、ソース・ドレイン領域下に第1導電型半導体領域が形成された構成とする。

【0023】本発明に係る固体撮像素子は、pn接合型のセンサ部と少なくとも読み出し用トランジスタを有する画素が配列されてなる固体撮像素子であって、所定深さ位置の第1の第1導電型半導体ウエル領域と、素子分離層下の第2の第1導電型半導体ウエル領域とにて囲まれた第2導電型半導体領域の表面側に、読み出し用トランジスタのゲートを挟んでセンサ部を構成する第2導電型の電荷蓄積領域と、読み出し用トランジスタの第2導電型のソース・ドレイン領域とが形成され、ゲート下に第1導電型半導体領域が形成された構成とする。この固体撮像素子において、読み出し用トランジスタのソース・ドレイン領域下に第1導電型半導体領域を形成することができる。

【0024】上記各固体撮像素子において、第2導電型の電荷蓄積領域の表面に第1導電型半導体領域を形成することができる。

【0025】本発明に係る固体撮像素子の製造方法は、第2導電型の半導体基板の表面に絶縁層による素子分離層を形成する工程と、半導体基板内の所定深さ位置に第1の第1導電型半導体ウエル領域を形成し、素子分離層下に第1の第1導電型半導体ウエル領域に達するように、第2の第1導電型半導体ウエル領域を形成し、第1及び第2の第1導電型半導体ウエル領域にて囲まれた第2導電型半導体領域内の所定深さ位置に第1導電型半導体領域を形成する工程と、ゲート電極を挟んで第1導電型半導体領域に達するように、第2導電型のソース・ドレイン領域とセンサ部を構成する第2導電型の電荷蓄積領域を形成する工程を有する。

【0026】本発明に係る固体撮像素子の製造方法は、第2導電型の半導体基板の表面に絶縁層による素子分離層を形成する工程と、半導体基板内の所定深さ位置に第1の第1導電型半導体ウエル領域を形成し、素子分離層下に該第1の第1導電型半導体ウエル領域に達するように、第2の第1導電型半導体ウエル領域を形成し、第1及び第2の第1導電型半導体ウエル領域にて囲まれた第2導電型半導体領域の表面全面に第1導電型半導体領域

10

20

30

40

50

を形成する工程と、ゲート電極を挟んで一方の領域に第2導電型のソース・ドレイン領域及び該ソース・ドレイン領域下の第1導電型半導体領域を形成すると共に、他方の領域にセンサ部を構成する第2導電型の電荷蓄積領域を形成する工程を有する。

【0027】図1は、本発明の実施の形態に係る例えばMOS型の固体撮像装置の一例の構成を示す。

【0028】この固体撮像装置20は、光電変換を行うフォトダイオード（即ちpn接合型のセンサ部）21と画素を選択する垂直選択用スイッチ素子（例えばMOSトランジスタ）23と読み出し用スイッチ素子（例えばMOSトランジスタ）22とによって構成された単位画素24がマトリクス状に複数配列されて成る撮像領域と、各行毎に垂直選択用スイッチ素子23の制御電極（いわゆるゲート電極）が共通に接続された垂直選択線25に垂直走査パルス $\phi V_1, \dots, \phi V_n, \dots, \phi V_{n+1}, \dots$ ）を出力する垂直走査回路26と、各列毎に読み出し用スイッチ素子22の主電極が共通に接続された垂直信号線27と、各列毎に垂直選択用スイッチ素子23の主電極に接続された読み出しパルス線28と、垂直信号線27と水平信号線29に主電極が接続された水平スイッチ素子（例えばMOSトランジスタ）30と、水平スイッチ素子30の制御電極（いわゆるゲート電極）と読み出しパルス線28に接続された水平走査回路31と、水平信号線29に接続されたアンプ32により構成される。

【0029】各単位画素24では、読み出し用スイッチ素子22の一方の主電極がフォトダイオード21に接続され、その他方の主電極が垂直信号線27に接続される。また、垂直選択用スイッチ素子23の一方の主電極が読み出し用スイッチ素子22の制御電極（いわゆるゲート電極）に接続され、その他方の主電極が読み出しパルス線28に接続され、その制御電極（いわゆるゲート電極）が垂直選択線25に接続される。

【0030】水平走査回路31から各水平スイッチ素子30の制御電極（いわゆるゲート電極）に水平走査パルス $\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots$ ）が供給されると共に、各読み出しパルス線28に水平読み出しパルス $\phi H^1, \phi H^2, \dots, \phi H^n, \phi H^{n+1}, \dots$ ）が供給される。

【0031】この固体撮像装置20の基本動作は次のようになる。垂直走査回路26からの垂直走査パルス $\phi V_n$ と、水平走査回路31からの読み出しパルス $\phi H^n$ を受けた垂直選択用スイッチ素子23が、それらのパルス $\phi V_n, \phi H^n$ の積のパルスを作り、この積のパルスで読み出し用スイッチ素子22の制御電極を制御して、フォトダイオード21で光電変換された信号電荷を垂直信号線27に読み出す。この信号電荷は、水平映像期間中に、水平走査回路31からの水平走査パルス $\phi H_n$ により制御された水平スイッチ素子30を通して水平

信号線29に出て、これに接続されたアンプ32により信号電圧に変換されて出力される。

【0032】尚、単位画素24の構成としては、上例に限らず、例えば図2、図3、その他等の種々の構成を採り得る。図2では、単位画素24が、フォトダイオード21と之に接続された読み出し用MOSトランジスタ22で構成され、読み出し用MOSトランジスタ22の他方の主電極が垂直信号線27に接続されると共に、そのゲート電極が垂直選択線25に接続される。

【0033】図3では、単位画素24が、フォトダイオード21と、読み出し用MOSトランジスタ35と、FD（フローティングディフュージョン）アンプMOSトランジスタ36と、FDリセットMOSトランジスタ37と、垂直選択用MOSトランジスタ38で構成される。そして、読み出し用MOSトランジスタ35の一方の主電極がフォトダイオード21に接続されると共に他方の主電極がFDリセットMOSトランジスタ37の一方の主電極に接続され、FDリセットMOSトランジスタ37の他方の主電極と垂直選択用MOSトランジスタ38の一方の主電極間にFDアンプMOSトランジスタ36が接続され、FDアンプMOSトランジスタ36のゲート電極が、読み出し用MOSトランジスタ35とFDリセットMOSトランジスタ37の接続中点であるFD

（フローティングディフュージョン）部に接続される。読み出し用MOSトランジスタ35のゲート電極は垂直読み出し線41に接続され、FDリセットMOSトランジスタ37の他方の主電極が電源VDDに接続されると共にそのゲート電極が水平リセット線42に接続され、垂直選択用MOSトランジスタ38の他方の主電極が垂直信号線43に接続され、そのゲート電極が垂直選択線44に接続される。

【0034】図4は、図1の固体撮像素子20における画素24、特にそのセンサ部21及び読み出し用MOSトランジスタ22を含む領域部の一実施の形態を示す。本実施の形態に係る画素241は、第2導電型、例えばn型のシリコン半導体基板51内の所定深さ位置に第1導電型の例えばp型の第1の半導体ウエル領域52が形成され、半導体基板51の表面に画素分離のための選択酸化による素子分離層（いわゆるLOCOS層）53が形成され、この素子分離層53下に第1のp型半導体ウエル領域52に達する第2のp型半導体ウエル領域54が形成される。n型半導体基板51の濃度は、例えば $10^{14} \sim 10^{16} \text{ cm}^{-3}$ 程度、第1のp型半導体ウエル領域52の濃度は、例えば $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度、第2のp型半導体ウエル領域54の濃度は、例えば $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

【0035】第2のp型半導体ウエル領域54は、一部、素子分離層54で囲まれた画素領域（いわゆるアクティブ領域）内に延長するように形成される。即ち、この第2のp型半導体ウエル領域54は、画素領域に対応

する部分を除くように、格子状に形成される。

【0036】第1及び第2のp型半導体ウェル領域52及び54にて囲まれたn型半導体領域、即ち、半導体基板52と同じ低濃度であるn型半導体領域55上には、例えばSiO<sub>2</sub>等によるゲート絶縁膜56を介して読み出し用MOSトランジスタ22のゲート電極57が形成される。58はゲート電極57の側壁に形成された例えばSiO<sub>2</sub>等によるサイドウォールである。

【0037】そして、n型半導体領域55内の所定深さ位置に、画素領域の全体にわたるように、低濃度のp型半導体領域60が形成されると共に、このp型半導体領域60に接するように、n型半導体領域55の表面にゲート電極57を挟んで一方に読み出し用MOSトランジスタ22のn型のソース・ドレイン領域61が形成され、他方にセンサ部21を構成するn型半導体領域62が形成される。p型半導体領域60の濃度は、例えば $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 程度とすることができる。

【0038】ソース・ドレイン領域61は、通常の高濃度で形成される。センサ部21のn型半導体領域62は、実質的な電荷蓄積領域となる。このn型の電荷蓄積領域62の不純物濃度は、ソース・ドレイン領域61より低く、低濃度のn型半導体領域55より高く設定される。ソース・ドレイン領域61の濃度は、例えば $10^{19} \text{ cm}^{-3}$ 以上、センサ部21のn型半導体領域62の濃度は、例えば $10^{17} \text{ cm}^{-3}$ 程度とすることができる。センサ部21では、低濃度のn型半導体領域55と第1のp型半導体ウェル領域52間でpn接合jが形成され、動作時に、センサ部21の空乏層が第1のp型半導体ウェル領域52まで広がるようになされる。

【0039】p型半導体領域60は、ゲートが閉じられたオフ状態のときソース・ドレイン領域61及び電荷蓄積領域62を低濃度のn型半導体領域55と分離するも、センサ部21の電荷蓄積領域62に光電変換された信号電荷を蓄積する際に完全空乏化できる程度の低濃度にコントロールされて形成される。

【0040】ゲート電極57下は、p型半導体領域60からの不純物拡散で低濃度のp型半導体領域63に形成される。なお、p型半導体領域63は、イオン注入により所望濃度で積極的に形成することもできる。さらに、センサ部21において、そのn型の電荷蓄積領域62の表面、即ち絶縁膜56との界面には、比較的高濃度、例えば $10^{18} \text{ cm}^{-3}$ 程度のp型半導体領域64を形成するのが好ましい。

【0041】図6及び図7は、図4の画素241の製造方法を示す。先ず、図6Aに示すように、低濃度のn型半導体基板51を用意し、その表面に選択酸化による素子分離層53を形成する。

【0042】次に、図7Bに示すように、素子分離層53下及び素子分離層53にて区画された画素領域を含む全面にp型不純物をイオン注入して、半導体基板51の

所定深さ位置に、第1のp型半導体ウェル領域52を形成し、画素領域を除いて素子分離層53下に第1のp型半導体ウェル領域52に達する第2のp型半導体ウェル領域54を形成し、さらに、第1及び第2のp型半導体ウェル領域52及び53で囲まれたn型半導体領域55内の所定深さ位置に、p型不純物をイオン注入して、低濃度のp型半導体領域60を形成する。この領域60は、低濃度なので、領域54と重なってもよく、厳密なマスク合せは不要である。

【0043】次に、図7Cに示すように、p型半導体領域60より表面側のn型半導体領域55上に、例えばSiO<sub>2</sub>等によるゲート絶縁膜56を介して例えば多結晶シリコンによるゲート電極57を形成し、その後、ゲート電極57を挟んで自己整合的に且つ選択的にp型不純物をイオン注入してp型半導体領域60に達するように、n型のソース・ドレイン領域61及びn型の電荷蓄積領域62を形成する。

【0044】次に、図7Dに示すように、ゲート電極57の側壁に例えばSiO<sub>2</sub>等による絶縁性のサイドウォール58を形成する。そして、n型の電荷蓄積領域62の表面にp型不純物をイオン注入して自己整合的に高濃度のp型半導体領域64を形成する。

【0045】本実施の形態に係る画素241を備えた固体撮像素子によれば、画素241に入射された光により光電変換された一方の電荷、本例では信号電荷となる電子がセンサ部21のn型の電荷蓄積領域62に蓄積される。電荷蓄積領域62に蓄積された信号電荷は、読み出し時に、読み出し用MOSトランジスタ22のゲートがオンすることにより、ソース・ドレイン領域61へ読み出される。

【0046】センサ部21では、電荷蓄積領域62及び低濃度のn型半導体領域55からなる所謂n型領域と、第1のp型半導体ウェル領域52との間で形成されるpn接合jの位置が深くなるので、空乏層の広がり深さが大きくなって、センサ部21における光電変換効率が増加し、赤色光の感度が上がる。

【0047】低濃度のn型半導体領域55内にセンサ部21の電荷蓄積領域62を形成するので、電荷蓄積領域62を低濃度にすることが可能となり、完全空乏化し易く、低い電圧でセンサ部21の信号電荷をソース・ドレイン領域61へ完全転送することができる。従って、ノイズが少なく、残像の無い画像が得られる。

【0048】電荷蓄積領域62を低濃度で形成できるので、製造マージンを広くとることが可能になり、製造が容易になる。

【0049】電荷蓄積領域62及びソース・ドレイン領域下に低濃度のp型半導体領域60が形成されるので、ゲートがオフ状態において、電荷蓄積領域62とソース・ドレイン領域61間のリーク電流を阻止でき、読み出し用MOSトランジスタ22としての動作を行わせるこ

10

20

30

40

50

とができる。

【0050】センサ部21では、n型の電荷蓄積領域62の表面に高濃度のp型半導体領域64を形成するときは、センサ部21における絶縁膜56との界面で発生する電子がp型半導体領域64で再結合され、電荷蓄積領域62に入り込むことがない。また、ゲート下のチャネル領域63がp型化しているときは、ゲート絶縁膜56との界面で発生する電子が電荷蓄積領域62に入らず、ソース・ドレイン領域61に流入する。従って、暗電流を小さくすることができる。

【0051】本実施の形態に係る製造方法によれば、p型及びn型の不純物を選択的に、且つ自己整合的にイオン注入して各領域61、62、64を形成することができ、また領域60に厳密なマスク合致は不要であるので、図4に示す画素241を備えたMOS型の固体撮像素子を精度よく且つ容易に製造することができる。

【0052】上述の画素241では、センサ部21を構成するn型半導体領域55内に低濃度のp型半導体領域60が形成されているため、図4のA-A線上（センサ部21の深さ方向）のポテンシャルをみると、図5に示すようなp型半導体領域60で電子eに対してバリア66を有するポテンシャル分布67となる。従って、n型半導体領域55の深い位置で光電変換により発生した電子eは、電荷蓄積領域62に入りにくい。画素241のセンサ部21は、従来より感度向上が図れるが、バリア66を改善して更なる感度を向上させることが望まれる。

【0053】図8は、この点を改善したもので、図1の固体撮像素子20における画素24、特にそのセンサ部21及び読み出し用MOSトランジスタ22を含む領域部の他の実施の形態を示す。

【0054】本実施の形態に係る画素242は、前述と同様に、第2導電型、例えばn型のシリコン半導体基板51内の所定深さ位置に第1導電型の例えばp型の第1の半導体ウエル領域52が形成され、半導体基板51の表面に画素分離のための選択酸化による素子分離層（いわゆるLOCOS層）53が形成され、この素子分離層53下に第1のp型半導体ウエル領域52に達する第2のp型半導体ウエル領域54が形成される。この場合も、第2のp型半導体ウエル領域54は、素子分離層53で囲まれた画素領域（いわゆるアクティブ領域）内に延長するように形成される。n型半導体基板51の濃度は例えば $10^{14} \sim 10^{16} \text{ cm}^{-3}$ 程度、第1のp型半導体ウエル領域52の濃度は例えば $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度、第2のp型半導体ウエル領域54の濃度は例えば $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

【0055】第1及び第2のp型半導体ウエル領域52及び54にて囲まれた基板51と同じ低濃度のn型半導体領域55上には、例えば $\text{SiO}_2$ 等によるゲート絶縁膜56を介して例えば多結晶シリコンによる読み出し用

MOSトランジスタのゲート電極57が形成される。58はゲート電極57の側壁に形成された例えば $\text{SiO}_2$ 等による絶縁性サイドウォールである。n型半導体領域55は、周囲からの少しの拡散以外は、基板51の濃度と同じである。

【0056】そして、本例では、特に、ゲート電極57を挟んでn型半導体領域55の一方の領域部に読み出し用MOSトランジスタのn型のソース・ドレイン領域61が形成されると共に、ソース・ドレイン領域61下にp型半導体領域71が形成され、n型半導体領域55の他方の領域部にセンサ部（フォトダイオード）を構成するn型半導体領域、即ち電荷蓄積領域62が形成される。n型のソース・ドレイン領域61の濃度は例えば $10^{19} \text{ cm}^{-3}$ 以上、p型半導体領域71の濃度は例えば $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度、電荷蓄積領域62の濃度は例えば $10^{17} \text{ cm}^{-3}$ 程度とすることができる。

【0057】この電荷蓄積領域62の表面には、好ましくは高濃度、例えば $10^{18} \text{ cm}^{-3}$ 程度のp型半導体領域64が形成される。さらに、好ましくはゲート電極57下には、所望濃度、即ち比較的低濃度、例えば $10^{16} \text{ cm}^{-3}$ 程度のp型半導体領域63が形成される。n型の電荷蓄積領域62は、図示するように、一部このp型半導体領域63接続されるように形成される。

【0058】図9～図11は、図8の画素242の製造方法を示す。まず、図9Aに示すように、低濃度のn型半導体基板51を用意し、その表面に選択酸化による素子分離層53を形成する。

【0059】次に、図9Bに示すように、素子分離層53下及び素子分離層53にて区画された画素領域を含む全面の半導体基板51の所定深さ位置に、第1のp型半導体ウエル領域52をイオン注入で形成し、画素領域を除いて素子分離層53下に、第1のp型半導体ウエル領域52に達する第2のp型半導体ウエル領域54をイオン注入で形成し、さらに、素子分離層53で区画された画素領域の表面に、素子分離層53をマスクとして自己整合的にイオン注入で比較的低濃度のp型半導体領域63を形成する。第1及び第2のp型半導体ウエル領域52及び54と、表面のp型半導体領域63で囲まれるように、半導体基板51と同じ低濃度のn型半導体領域55が存在する。

【0060】次に、図10Cに示すように、画素領域上、即ち、p型半導体領域63上に、例えば $\text{SiO}_2$ 等によるゲート絶縁膜56を介して例えば多結晶シリコンによるゲート電極57を形成する。

【0061】次に、図10Dに示すように、ゲート電極57を挟んで画素領域の一方の領域部に、素子分離層53及びゲート電極57をマスクとして自己整合的にイオン注入で読み出し用MOSトランジスタのn型の高濃度のソース・ドレイン領域61とその下のp型半導体領域71を形成し、画素領域の他方の領域部に、素子分離層



13

53及びゲート電極57をマスクとして自己整合的にイオン注入でセンサ部21を構成するn型の電荷蓄積領域62を形成する。

【0062】次に、全面に例えばSiO<sub>2</sub>膜を堆積しエッチングを行って、図11Eに示すように、ゲート電極57の側壁に絶縁性のサイドウォール58を形成する。

【0063】次に、図11Fに示すように、ゲート電極57を挟んで画素領域の他方の領域部の表面に、n型の電荷蓄積領域62に達するように、サイドウォール58及び素子分離層53をマスクにして自己整合的にイオン注入でゲート下のp型半導体領域63より高濃度のp型半導体領域64を形成する。

【0064】本実施の形態に係る画素242を備えた固体撮像素子によれば、前述と同様に、画素242に入射された光により光電変換された一方の電荷、本例では信号電荷となる電子がセンサ部21のn型の電荷蓄積領域62に蓄積される。電荷蓄積領域62に蓄積された信号電荷は、読み出し時に、読み出し用MOSトランジスタ22のゲートがオンすることにより、ソース・ドレイン領域61へ読み出される。

【0065】センサ部21では、電荷蓄積領域62及び低濃度のn型半導体領域55からなる所謂n型領域と、第1のp型半導体ウェル領域52との間で形成されるpn接合の位置が深くなるので、空乏層の広がり深さが大きくなり、センサ部21における光電変換効率が増加し、赤色光の感度が上がる。

【0066】また、光がソース・ドレイン領域61下、センサ部21及びゲート下のいずれに入射されても、深い第1のp型半導体ウェル領域52上の低濃度のn型半導体領域55で光電変換されれば、その信号電荷となる電子はセンサ部21の電荷蓄積領域62に集められる。従って、より感度が向上する。

【0067】読み出し用MOSトランジスタ22のn型のソース・ドレイン領域61下にp型半導体領域71が形成されているので、ゲートのオフ状態において、センサ部21の電荷蓄積領域62とソース・ドレイン領域61間のリーク電流は抑えられ、読み出し用MOSトランジスタ22としての動作が行える。

【0068】前述の図4に示すp型半導体領域60は、センサ部21下にも形成されるので、濃度を非常に薄くする必要があるので、厳しく濃度コントロールが要求される。しかし、本例のp型半導体領域71は、ソース・ドレイン領域下のみ形成され、センサ部21側には形成されないで、濃度としてはリーク電流を阻止する程度であればよく、特に厳しく濃度コントロールする必要はない。従って、製造マージンが広がる。

【0069】p型半導体領域71がソース・ドレイン領域61下のみ形成されているので、センサ部21でのn型領域が大きくなり、且つn型半導体領域55の深い位置で光電変換により発生した電子も電荷蓄積領域62に

14

入り易くなり、図4の画素241に比べて、より感度を向上することができる。

【0070】ゲート下に低濃度のp型半導体領域63が形成されるので、センサ部21、即ちフォトダイオードの電荷蓄積領域62の電位を低くでき、低電圧化ができる。即ち、受光時に、ゲートが開いていると、センサ部21の電荷蓄積領域62から電子がリークするので、リークする分だけ電荷蓄積領域62の電位を高くしないと（例えば0.5V程度）、電子が蓄積できない。しかし、ゲート下にp型半導体領域63が形成されることで、受光時にゲートが閉まり、電子はリークせずにセンサ部に蓄積される。電圧の小さいところまで、例えば0Vに近いところまで電子を蓄積することができる。従って、電荷蓄積領域62の電圧を低くでき、例えば1V程度でもフォトダイオードとして機能させることができ、低電圧化が可能になる。つまり、ゲート下のポテンシャルが例えば0.5V程度であるとフォトダイオードには電子が0.5Vまでしか蓄積できない。しかし、ゲート下が0Vまで閉まっていると、フォトダイオードに0Vまで電子を蓄積できる。従って、同じ電子数を蓄積するのにつくるフォトダイオードのポテンシャル深さは、前者では1.5V必要とするが、後者では1.0Vで済むことになる。なお、0Vに近い方が容量が大きいのので、同じ1Vの振幅でもさらに電子が多く蓄積される。

【0071】p型半導体領域63によって、ゲートのしきい値電圧V<sub>th</sub>を自由にコントロールできる。そして、読み出しゲート電圧を低くすることができ、低電圧で動作することができる。

【0072】ゲートをオフ状態にしているときには、ゲート下のゲート絶縁膜界面（いわゆるチャネル領域）と、センサ部21の電荷蓄積領域62とがゲート下のp型半導体領域63によって分離されているので、ゲート下のゲート絶縁膜界面から発生する電子は、センサ部21の電荷蓄積領域62に入らず、ソース・ドレイン領域61に流入する。従って暗電流を低減することができる。

【0073】p型半導体領域63を有することによって、センサ部21の電荷蓄積領域62からソース・ドレイン領域61へ電子が流出しにくく、電荷蓄積領域62の飽和電位が低くなり、コンデンサとしてのセンサ部21の容量が大きくなって、蓄積される飽和電子数を大きくすることができる。センサ部21の電荷蓄積領域62の空乏化電位を低くできるので、白点が少なくなり、歩留まりを上げることができる。

【0074】適度の濃度のp型半導体領域63によってソース・ドレイン領域61と電荷蓄積領域62が分離されているので、両領域61、62からの空乏層が伸びてパンチスルーを起こすことが阻止され、ゲート長を短くすることができ、画素の微細化が可能になる。

【0075】センサ部21の電荷蓄積領域62上に濃度

10

20

30

40

50

15

の高いp型半導体領域64を有することにより、p型半導体領域64と絶縁膜との界面で発生する電子は、p型半導体領域63内で再結合されて消滅し、暗電流を低減することができる。

【0076】センサ部21におけるn型の電荷蓄積領域62は、基板51と同程度の低濃度のn型半導体領域55内に形成されるので、低濃度で安定して形成できる。従って、電荷蓄積領域62を完全空乏化させることが容易になり、低い電圧で信号電荷を完全転送することができる。従って、ノイズが少なく、残像の無い画像が得られる。

【0077】電荷蓄積領域62を低濃度で形成できるので、製造マージンを広くとることが可能になり、製造が容易になる。

【0078】図8の構成において、ゲート下のp型半導体領域63及び電荷蓄積領域62上のp型半導体領域64を省略した場合にも、高感度化、低電圧化、さらに電荷蓄積領域62及びソース・ドレイン領域61下のp型半導体領域71の製造マージンを広げる等の効果を奏する。なお、ゲート下のp型半導体領域63を積極的に形成しなくても、p型半導体領域71からの不純物拡散がゲート下まで拡散し、ゲート下をp型化することができる。このゲート下のp型化によって、p型半導体領域63を形成した場合と同様の効果も期待できる。

【0079】本実施の形態に係る製造方法によれば、各領域61、62、63、64、71を素子分離層53、ゲート電極57及びサイドウォール58をマスクとして自己整合的にイオン注入で形成することができるので、図8に示す画素242を備えたCMOS型の固体撮像素子を精度よく、且つ容易に製造することができる。

【0080】その他、MOS型の固体撮像素子の、読み出し用スイッチ素子を用いる全ての種類の画素にも適用することができる。

【0081】

【発明の効果】本発明に係る固体撮像素子によれば、所定深さ位置の第1の第1導電型半導体ウェル領域と素子分離層下の第2の第1導電型半導体ウェル領域で囲まれた第2導電型半導体領域の表面に、ゲートを挟んでセンサ部を構成する第2導電型の電荷蓄積領域と読み出し用トランジスタの第2導電型のソース・ドレイン領域を形成することにより、センサ部における空乏層の広がり深さが大きくなり、光電変換効率が増加して赤色光の感度を向上することができる。同時に、第1導電型半導体ウェル領域で囲まれた第2導電型半導体領域の全体が、センサ部であるフォトダイオードで構成する一方の第2導電型領域となることによって、さらに感度を向上することができる。

【0082】電荷蓄積領域、ゲート下及びソース・ドレイン領域と、第2導電型半導体領域との間に第1導電型半導体領域を形成するときは、電荷蓄積領域及びソース

16

・ドレイン領域間のリーク電流を阻止し、読み出し用トランジスタの動作を確実にする。

【0083】ソース・ドレイン領域下のみに第1導電型半導体領域を形成するときは、電荷蓄積領域及びソース・ドレイン間のリーク電流を阻止し、読み出し用トランジスタの動作を確実にすると共に、ゲート下及び電荷蓄積領域下に第1導電型半導体領域が無い分、更に第2導電型半導体領域の面積が広くなり、さらなる感度向上が図れる。また、ソース・ドレイン領域下のみに第1導電型半導体領域を形成するときは、この第1導電型半導体領域の濃度をリーク電流の阻止のみを考慮して設定することができるので、濃度コントロールが容易となり、製造マージンが広がり、製造を容易にすることができる。

【0084】ゲート下に第1導電型半導体領域が形成されるときは、ゲートがオフ状態のとき、この第1導電型半導体領域によって、ゲート下のゲート絶縁膜界面と電荷蓄積領域が互に分離され、ゲート絶縁膜界面から発生する電荷は電荷蓄積領域に入らず、ソース・ドレイン領域側に流入し、暗電流を小さくすることができる。

【0085】ゲート下に第1導電型半導体領域を有することによって、ゲートがオフ状態のとき、センサ部の電荷蓄積領域からソース・ドレイン領域に信号電荷が流出しにくく、電荷蓄積領域の飽和電位が低くなり、容量を大きくして飽和電荷数を大きくできる。電荷蓄積領域の空乏化電位を低くできるので、白点が少なくなり、歩留まりを向上することができる。

【0086】ゲート下の第1導電型半導体領域によって、しきい値電圧 $V_{th}$ のコントロールができ、読み出しゲート電圧を低くすることができるので、低電圧で動作することができる。ゲート下の第1導電型半導体領域によってセンサ部の電荷蓄積領域とソース・ドレイン領域が分離されるので、パンチスルーがなく、ゲート長を小さくし、画素の微細化ができる。

【0087】センサ部の第2導電型の電荷蓄積領域上に第1導電型半導体領域を形成するときは、センサ部における絶縁膜界面で発生する電荷がこの第1導電型半導体領域で再結合し、センサ部の電荷蓄積領域に入り込まないので、暗電流を低減することができる。

【0088】第2導電型の電荷蓄積領域が低濃度の第2導電型半導体領域内に形成されるので、電荷蓄積領域としては低濃度で安定して形成することができ、完全空乏化させることが容易になり、信号電荷を低い電圧で完全転送させることができる。従って、ノイズが少なく、残像の無い画像を提供することができる。

【0089】本発明に係る固体撮像素子の製造方法によれば、上記特性を有する固体撮像素子を自己整合的に容易且つ高精度に製造することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像素子の一実施の形態を示す構成図である。

\* ある。

【図11】E～F 図8の固体撮像素子の製造工程図である。

【図 1 2】従来の固体撮像素子の画素部分の断面図である。

【符号の説明】

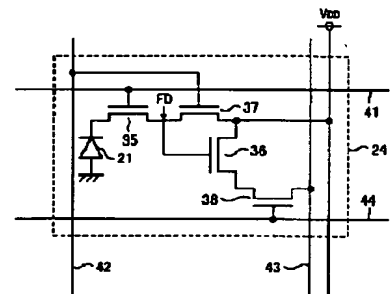
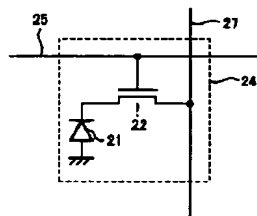
20・・・MOS型の固体撮像素子、21・・・センサ部  
（フォトダイオード）、12・・・読み出し用MOSトラ  
ンジスタ、13・・・垂直選択用MOSトランジスタ、1  
4、141、142・・・単位画素、51・・・n型半導体  
基板、52・・・第1のp型半導体ウェル領域、53・・・  
素子分離層（LOCOS層）、54・・・第2のp型半導  
体ウェル領域、55・・・n型半導体領域、56・・・ゲ  
ート絶縁膜、57・・・ゲート電極、60・・・p型半導体領  
域、61・・・n型ソース・ドレイン領域、62・・・n型  
電荷蓄積領域、63・・・p型半導体領域、64・・・p型  
半導体領域、71・・・p型半導体領域

10

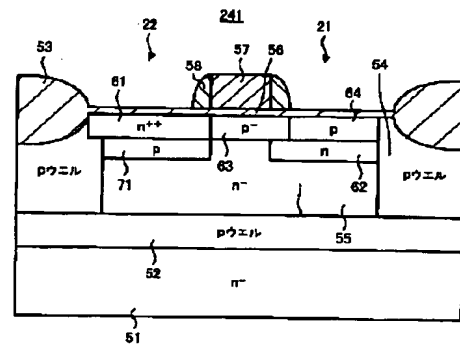
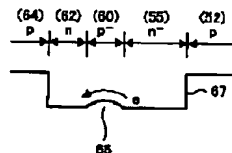
图 21

【図3】

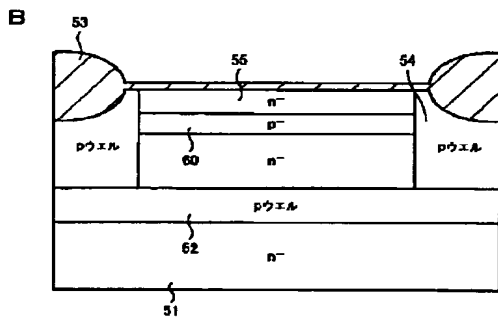
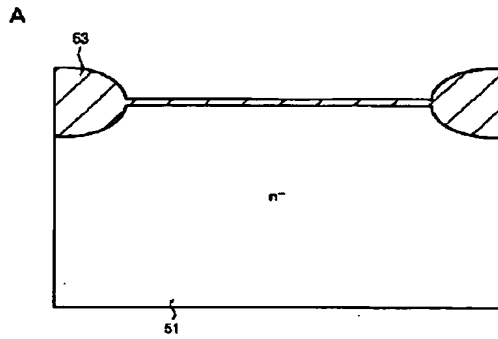
【図1】



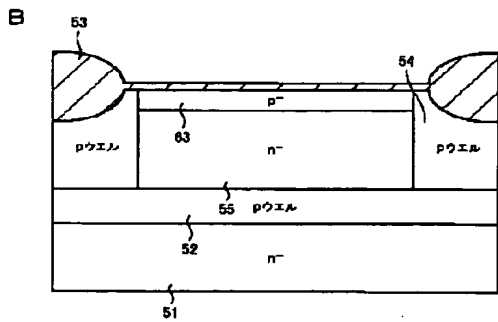
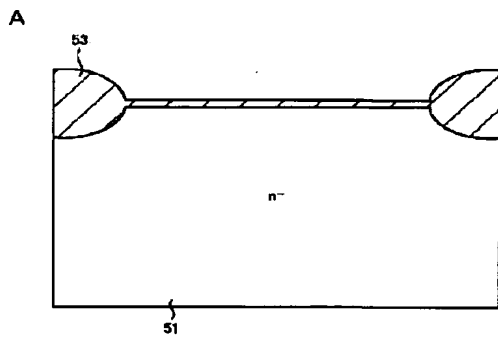
【図5】



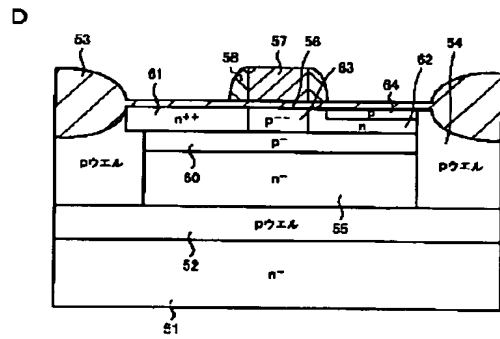
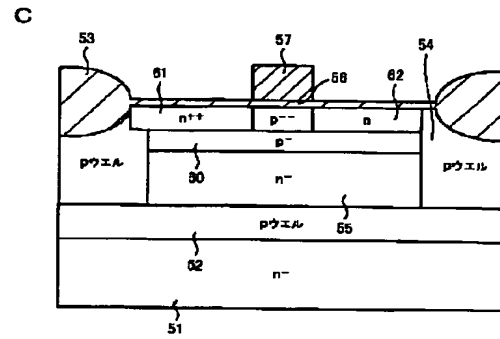
【図6】



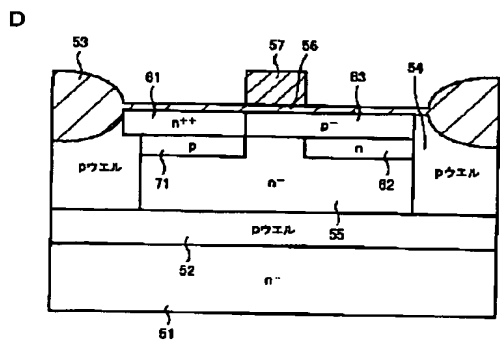
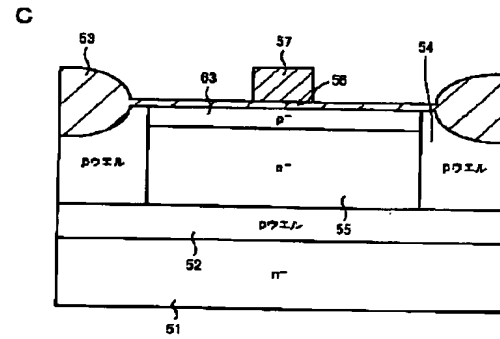
【図9】



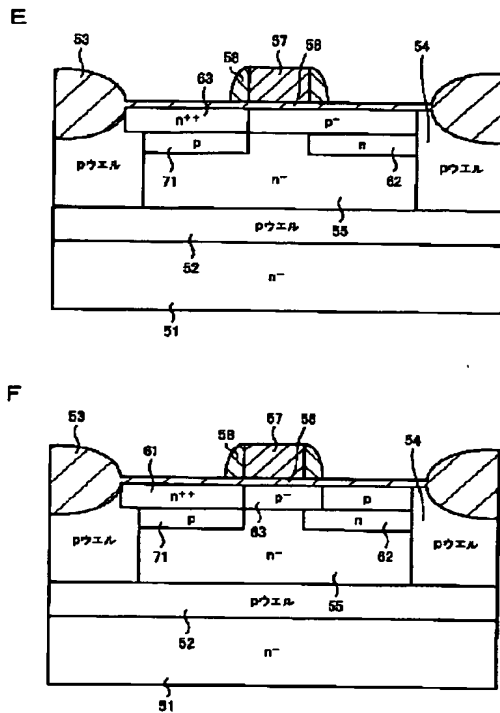
【図7】



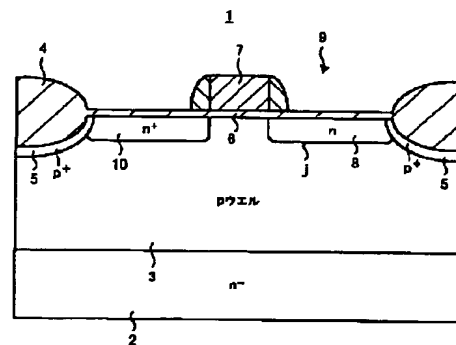
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 鈴木 亮司  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72)発明者 上野 貴久  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

Fターム(参考) 4M118 AA01 AA03 AA05 AB01 BA14  
CA04 CA18 EA01 EA06 EA07  
EA14 EA15 FA06 FA26 FA28  
FA33  
5C024 AA01 CA12 CA16 CA31 FA01  
FA11 CA31